

Please type a plus sign (+) inside this box →

PT O/SB/02B (3-97)

Approved for use through 9/30/98. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
is required to provide a mailing address unless it contains a

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION -- Supplemental Priority Data Sheet

Additional foreign applications:

| Prior Foreign Application Number(s) | Country | Foreign Filing Date (MM/DD/YYYY) | Priority Not Claimed | Certified Copy Attached? | |
|-------------------------------------|----------------|----------------------------------|--------------------------|---|--------------------------|
| | | | | YES | NO |
| 091101405 | Taiwan, R.O.C. | 01/28/2002 | <input type="checkbox"/> | <input checked="" type="checkbox"/> <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |

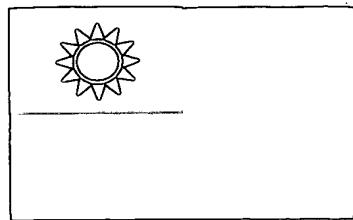
Additional provisional applications:

| Application Number | Filing Date (MM/DD/YYYY) |
|--------------------|--------------------------|
| | |

Additional U.S. applications:

| U.S. Parent Application Number | PCT Parent Number | Parent Filing Date (MM/DD/YYYY) | Parent Patent Number <i>(if applicable)</i> |
|--------------------------------|-------------------|---------------------------------|--|
| | | | |

Burden Hour Statement This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



#2
G1-B2 6/18/02

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 01 月 28 日
Application Date

申 請 案 號：091101405
Application No.

申 請 人：聯笙電子股份有限公司
Applicant(s)

局 長

Director General

陳 明 邦

發文日期：西元 2002 年 5 月 9 日
Issue Date

發文字號：09111007951
Serial No.

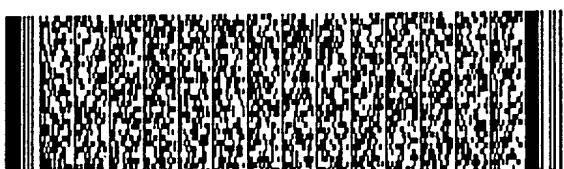
| | |
|-------|-----|
| 申請日期： | 案號： |
|-------|-----|

類別：

(以上各欄由本局填註)

發明專利說明書

| | | |
|-------------------|--------------------|---|
| 一、 發明名稱 | 中文 | 一種增加晶圓使用面積之切割道結構 |
| | 英文 | SCRIBE LINES FOR INCREASING WAFER UTILIZABLE AREA |
| 二、 發明人 | 姓名 (中文) | 1. 符建志 |
| | 姓名 (英文) | 1. Fu, Chien-Chih |
| | 國籍 | 1. 中華民國 |
| | 住、居所 | 1. 新竹市瑞麟路八十八號 |
| 三、 申請人 | 姓名 (名稱) (中文) | 1. 聯笙電子股份有限公司 |
| | 姓名 (名稱) (英文) | 1. AMIC Technology (Taiwan) Inc. |
| | 國籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹科學工業園區新竹市力行六路五號六樓 |
| 代表人 姓名 (中文) | 1. 陳 崑 錄 | |
| | 代表人 姓名 (英文) | 1. Chen, Kun-Luh |

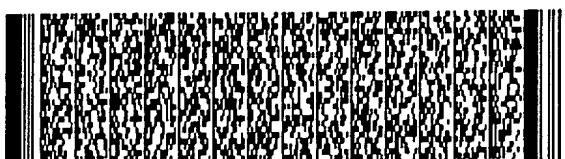


四、中文發明摘要 (發明之名稱：一種增加晶圓使用面積之切割道結構)

本發明係提供一種增加晶圓使用面積之切割道結構，該切割道結構係設置於一晶圓上且該切割道結構包含有至少一第一切割道依照一第一軸向設於複數個晶片之間的空隙，以及至少一第二切割道依照該第一軸向設於該等晶片之間的空隙。其中該第一切割道內至少包含一對準標記或測試窗，因此其寬度大於僅用來提供切割該晶圓之第二切割道。此外，該切割道結構另可包含複數條具有不同切割道寬度之第二軸向切割道以及複數條具有不同切割道寬度第三軸向切割道等不同軸向排列之切割道。

英文發明摘要 (發明之名稱：SCRIBE LINES FOR INCREASING WAFER UTILIZABLE AREA)

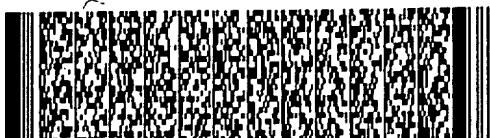
Scribe lines for increasing wafer utilizable area are provided. The scribe lines are positioned on a wafer. The scribe lines include at least a first scribe line arranged in a first direction in a gap of a plurality of chips, and at least a second scribe line arranged in the first direction in another gap of the chips. The first scribe line includes at least an alignment mark or a test key, therefore having a thickness greater than a thickness of the second scribe line that is



四、中文發明摘要 (發明之名稱：一種增加晶圓使用面積之切割道結構)

英文發明摘要 (發明之名稱：SCRIBE LINES FOR INCREASING WAFER UTILIZABLE AREA)

provided for cutting the wafer into a plurality of chips. In addition, the scribe lines further include a plurality group of scribe lines arranged in different directions, and each group of the scribe lines may have scribe lines with different thickness.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

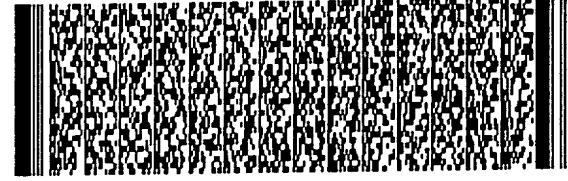
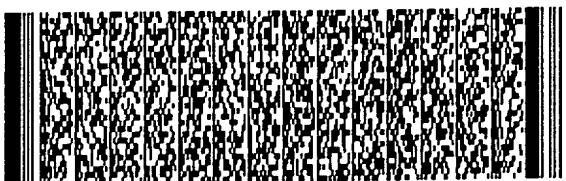
發明之領域

本發明係提供一種設於一晶圓上之切割道結構，尤指一種可以增加晶圓使用面積，以提高積體電路晶片產能之切割道結構。

背景說明

隨著積體電路製程技術之發展以及元件積集度之提升，目前一個晶圓上已可同時生產多個內含數百萬個電子元件之晶片 (die)。通常在製作這些晶片時，會先進行一晶圓製程，對晶圓上的部分晶片或全部晶片同時進行沉積、黃光或蝕刻等製程，而待晶圓製作完成後，接下來再進行一切割製程，將晶圓上的各個獨立晶片與其他晶片切割開來，以利於後續針對各個晶片之設計需求進行後段製程，例如摻質調整、封裝以及測試等。

為了配合切割製程之進行，在每個晶片與晶片之間通常會預留一定的空間來作為切割道，以將晶圓切割成複數個晶片。請參閱圖一，圖一係為習知之一晶圓切割道結構之上視圖。如圖一所示，晶圓上包含有複數個依照矩陣方式排列之晶片 10，複數條依照垂直方向排列之切割道 X 以及複數條依照水平方向排列之切割道 Y 分別設於晶片矩陣之行與列。在傳統的半導體製程中，切割道 X、Y 係為一溝



五、發明說明 (2)

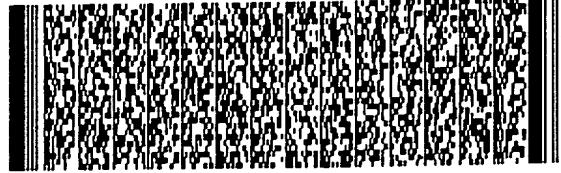
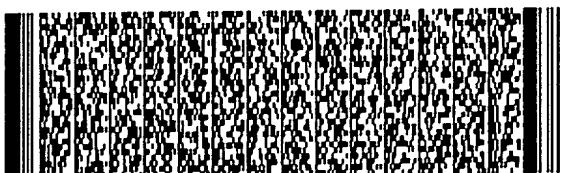
渠結構，垂直方向的切割道 X具有一相同的切割道寬度 W_x ，而水平方向的切割道 Y則另具有一相同的切割道寬度 W_y 。其中切割道寬度 W_x 與 W_y 約可為數十至數百微米，端視切割道之用途設計而定。

由於目前業界普遍係於切割道 X、Y中形成複數個對準標記，用來提供晶片生產過程中不同元件之間的對準，或是形成複數個測試窗，用來提供產品測試並監控晶片之各項缺陷，因此切割道寬度 W_x 與 W_y 約已可達到 150微米。然，隨著晶片設計之複雜化，切割道尺寸亦有可能隨之增加，如此一來，高達數百微米之切割道寬度不僅佔用了大量的晶圓面積、影響晶片產能，甚至可能造成切割不均勻，進而引起晶片誤差，嚴重影響產品良率。

發明概述

因此，本發明之目的即在提供一種設於一晶圓上之切割道結構，可以增加晶圓使用面積，提高積體電路晶片產能以及良率。

在本發明之最佳實施例中，該切割道結構包含有至少一第一切割道依照一第一軸向設於複數個晶片之間的空隙，以及至少一第二切割道依照該第一軸向設於該等晶片之間的空隙。其中該第一切割道內至少包含一對準標記或



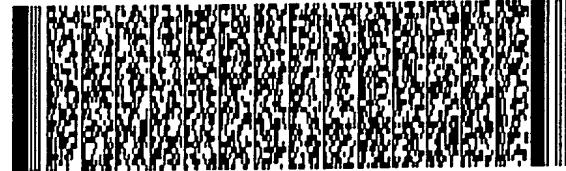
五、發明說明 (3)

測試窗，因此其寬度大於僅用來提供切割該晶圓之第二切割道。此外，該切割道結構另可包含複數條具有不同切割道寬度之第二軸向切割道以及複數條具有不同切割道寬度之第三軸向切割道等不同軸向排列之切割道。

由於本發明係根據各切割道之設計需求，例如切割道內是否包含有對準標記或測試窗等輔助量測結構，來決定該切割道之寬度，若切割道內設有輔助量測結構，則需具有較大之切割道寬度，而若切割道內不需設置輔助結構，其切割道寬度可以減少至內設有輔助量測結構之切割道寬度的二分之一甚至三分之一，以有效避免切割道結構造成之晶圓面積浪費以及切割不均勻的問題，並進一步提高晶片產能以及良率。

發明之詳細說明

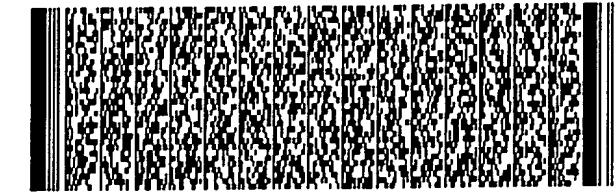
請參閱圖二，圖二為本發明之一晶圓切割道結構之上視圖。如圖二所示，晶圓上包含有複數個依照矩陣方式排列之晶片 20，複數條切割道 X1、X2、X3、X4、X5依照垂直方向排列設於各個晶片 20之間的空隙，以及複數條切割道 Y1、Y2、Y3依照水平方向排列設於各個晶片 20之間的空隙。其中每個晶片 20係具有相同之形狀與大小。切割道 X1、X2、X3、X4、X5分別具有一切割道寬度 W_{x1} 、 W_{x2} 、 W_{x3} 、 W_{x4} 、以及 W_{x5} ，而各切割道寬度 W_{x1} 、 W_{x2} 、 W_{x3} 、 W_{x4} 與 W_{x5} 可



五、發明說明 (4)

具有各自不相同的寬度，或視各切割道內含結構而與部分切割道具有相同寬度。舉例來說，假設切割道 X1 與 X5 僅係用來作為切割晶圓、將各個晶片 20 與其他晶片切割開來之用途，則 W_x 與 W_{x5} 可具有一相同寬度，約介於 10 至 50 微米之間，至於切割道 X2、X3 與 X4 內則由於設有對準標記或測試窗等量測標記，因此 W_{x2} 、 W_x 與 W_{x4} 必須具有一大於 W_x 與 W_{x5} 之寬度，例如具有一約介於 100 至 500 微米之間之相同寬度，或是隨著量測標記之差異而各自具有不同之寬度。同理，切割道 Y1、Y2、Y3 之切割道寬度 W_{y1} 、 W_y 與 W_{y3} 亦可各具有不相同的寬度，或視各切割道內含結構而使部分切割道具有相同寬度。

在進行晶圓切割時，可以利用蝕刻、機械應力或雷射切割等方法，或是結合上述方法施加於切割道結構上，以進行晶圓切割工作，相關的晶圓切割方法可以參考美國專利第 6,075,280 號以及第 6,214,703 號。由於本發明切割道結構具有至少兩種以上之切割道寬度，因此在利用多晶片針測卡 (multi-die probe) 進行晶圓偵測或在晶片上打線 (wiring) 時，必須利用程式設定機台每一次之移動距離 (stepping distance)，以使機台對準至欲進行針測或打線之晶片上。此外，在不更動機台移動距離之情況下，則本發明可以利用多重座標 (multiple indices) 設定 (參考美國專利第 6,006,739 號) 來設定機台每次欲進行針測或打線的起始座標點，之後再利用等間距移動方式進行後續晶

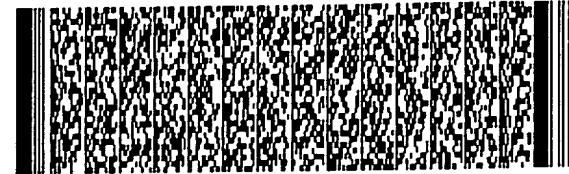


五、發明說明 (5)

片之量測或封裝。

請參閱圖三 A與圖三 B，圖三 A與圖三 B為利用本發明晶圓切割道結構來進行晶片測試之方法示意圖。圖三 A係說明針對兩種不同切割道寬度進行晶片測試之方法，圖三 B則係說明針對三種不同切割道寬度進行晶片測試之方法。如圖三 A所示，晶片 30上包含有複數個用來連接針測接腳之接合墊 (pad) 300、301、302，晶片 31上包含有複數個接合墊 310、311、312，晶片 32上包含有複數個接合墊 320、321、322，且晶片 30、31、32具有一相同晶片寬度 W_d 。此外，晶片 30、31、32與其鄰近晶片之間依序設有具有不同切割道寬度 W_{x1} 、 W_{x2} 之切割道 X1、X2。假設針測卡第一次針測之起始點係設於晶片 30之接合墊 300，則下一次針測之起始點必須移至晶片 31之接合墊 310，而再下一次針測之起始點為晶片 32之接合墊 320，依此類推。由於切割道 X1 與 X2 之寬度並不相同，因此每一次針測卡移動間距可能為 $W_d + W_{x1}$ (例如由接合墊 310 移至接合墊 320) 或 $W_d + W_{x2}$ (例如由接合墊 300 移至接合墊 310)，而為了使針測卡獲得統一的移動間距 $W_d + (W_{x1} + W_{x2}) / 2$ ，則每一次的針測起始點座標必須加以調整，例如接合墊 300、320 之座標應加上 $(W_{x2} - W_{x1}) / 2$ ，接合墊 310 之座標應加上 $(W_{x1} - W_{x2}) / 2$ ，並依此類推。

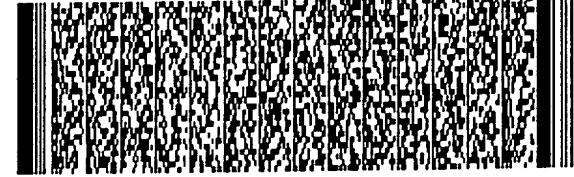
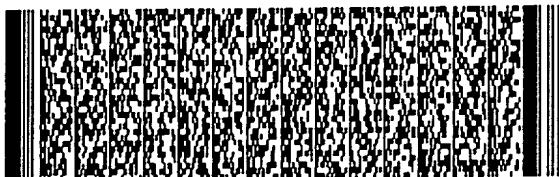
如圖三 B所示，晶片 40上包含有複數個用來連接針測接腳之接合墊 400、401、402，晶片 41上包含有複數個接



五、發明說明 (6)

合墊 410、411、412，晶片 42 上包含有複數個接合墊 420、421、422，且晶片 40、41、42 具有一相同晶片寬度 W_d 。此外，晶片 40、41、42 與其鄰近晶片之間依序設有具有不同切割道寬度 W_{x1} 、 W_{x2} 、 W_{x3} 之切割道 X1、X2、X3。假設針測卡第一次針測之起始點係設於晶片 40 之接合墊 400，則下一次針測之起始點必須移至晶片 41 之接合墊 410，而再下一次針測之起始點為晶片 42 之接合墊 420，依此類推。由於切割道 X1、X2 與 X3 之寬度並不相同，因此每一次針測卡移動間距可能為 $W_d + W_{x1}$ （例如由晶片 40 左側晶片上第一個接合墊移至接合墊 400）， $W_d + W_{x2}$ （例如由接合墊 400 移至接合墊 410），或 $W_d + W_{x3}$ （例如由接合墊 410 移至接合墊 420）。而為了使針測卡獲得統一的移動間距 $W_d + (W_{x1} + W_{x2} + W_{x3}) / 3$ ，則每一次的針測起始點座標必須加以調整，例如接合墊 400 之座標應加上 $(2W_{x2} - W_{x1} - W_{x3}) / 3$ ，接合墊 410 之座標不變動，接合墊 420 之座標應加上 $(W_{x1} + W_{x2} - 2W_{x3}) / 3$ ，並依此類推。

本發明切割道結構除了應用在具有相同晶片形狀以及晶片大小之晶圓上，同時亦可應用於具有不同晶片形狀或不同晶片尺寸之晶圓。請參閱圖四，圖四為本發明之第二實施例之晶圓切割道結構之上視圖。本發明之第二實施例中之切割道結構係設於一具有相同晶片形狀、不同晶片尺寸之晶圓上。如圖四所示，晶圓上包含有複數個具有相同晶片形狀、不同晶片尺寸之晶片，例如晶片 50、51 以及



五、發明說明 (7)

52，以及複數條垂直切割道 X₁、X₂、X₃與複數條水平切割道 Y₁、Y₂、Y₃分別設於各個晶片之間的空隙。其中依照同一軸向排列之切割道可各自具有不相同的寬度，或視各切割道內含結構而使部分切割道具有相同寬度。

請參閱圖五，圖五為本發明之第三實施例之晶圓切割道結構之上視圖。本發明之第三實施例中之切割道結構係設於一具有不同晶片形狀、不同晶片尺寸之晶圓上。如圖五所示，晶圓上包含有複數個具有不同晶片形狀且不同晶尺寸之晶片，例如晶片 60、61以及 62，以及複數條分別依照不同軸向排列之切割道 X₁、X₂、X₃，Y₁、Y₂、Y₃，以及 Z₁、Z₂、Z₃設於各個晶片之間的空隙。其中依照同一軸向排列之切割道可各自具有不相同的寬度，或視各切割道內含結構而使部分切割道具有相同寬度。

由於本發明之切割道結構中的每一條切割道可各自視其內含結構來決定其切割道寬度，因此可以有效避免切割道結構造成之晶圓面積浪費，並且隨著切割道尺寸縮減，有效避免切割時所造成的裂縫以及不完全切割等切割不均勻的問題。

相較於習知之等寬度切割道結構，本發明係根據各切割道之設計需求，例如切割道內是否包含有對準標記或測試窗等輔助量測結構，來決定該切割道之寬度，若切割道



五、發明說明 (8)

內設有輔助量測結構，則需具有較大之切割道寬度，若切割道內不需設置輔助結構，則其切割道寬度可以減少至內設有輔助量測結構之切割道寬度的二分之一甚至三分之一，以有效避免切割道結構造成之晶圓面積浪費以及切割不均勻的問題，並進一步提高晶片產能以及良率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一為習知之一晶圓切割道結構之上視圖。

圖二為本發明之一晶圓切割道結構之上視圖。

圖三 A 與圖三 B 為利用本發明晶圓切割道結構來進行晶片測試之方法示意圖。

圖四為本發明之第二實施例之晶圓切割道結構之上視圖。

圖五為本發明之第三實施例之晶圓切割道結構之上視圖。

圖示之符號說明

10、20、30、31、32、40、41、42、50、51、52、60、
61、62 晶片

300、301、302、310、311、312、320、321、322、400、
401、402、410、411、412、420、421、422 接合墊

X、Y、X1、X2、X3、X4、X5、Y1、Y2、Y3、Z1、Z2、Z3

切割道

W_x 、 W_y 、 W_{x1} 、 W_{x2} 、 W_{x3} 、 W_{x4} 、 W_{x5} 、 W_{y1} 、 W_{y2} 、 W_{y3} 切割道寬度
 W_d 晶片寬度



六、申請專利範圍

1. 一種增加晶圓使用面積 (wafer utilizable area) 之切割道結構 (scribe line)，該晶圓上包含有複數個晶片 (die)，該切割道結構包含有：

至少一第一切割道依照一第一軸向設於該等晶片之間的空隙，該第一切割道具有一第一切割道寬度；以及

至少一第二切割道依照該第一軸向設於該等晶片之間的空隙，該第二切割道具有一小於該第一切割道寬度之第二切割道寬度。

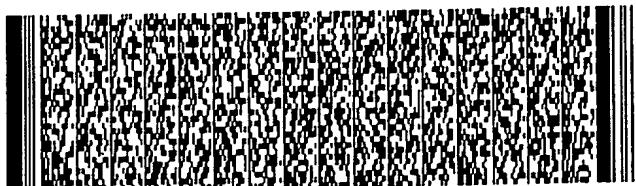
如申請專利範圍第 1 項之切割道結構，其中該第一切割道內至少包含一對準標記 (alignment mark)，用來提供該等晶片上不同元件之間之對準。

3. 如申請專利範圍第 1 項之切割道結構，其中該第一切割道內至少包含一測試窗 (test key)，用來提供該等晶片進行品質測試。

4. 如申請專利範圍第 1 項之切割道結構，其中該第一切割道寬度約介於 100 至 500 微米 (micrometer, μ m) 之間。

5. 如申請專利範圍第 1 項之切割道結構，其中該第二切割道寬度約介於 10 至 50 微米之間。

6. 如申請專利範圍第 1 項之切割道結構，其中該第二切



六、申請專利範圍

割道係用來切割該晶圓，以使該等晶片分開。

7. 如申請專利範圍第1項之切割道結構，其中該晶圓係利用一機械應力施加於該切割道結構上以切割該等晶片。

8. 如申請專利範圍第1項之切割道結構，其中該晶圓係於該切割道結構上進行一蝕刻製以切割該等晶片。

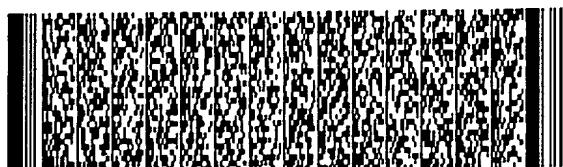
9. 如申請專利範圍第1項之切割道結構，其中該切割道構另包含複數條具有不同切割道寬度之第二軸向切割道。

10. 如申請專利範圍第9項之切割道結構，其中該第二軸向係與該第一軸向互相垂直。

11. 如申請專利範圍第1項之切割道結構，其中該等晶片具有相同之形狀以及尺寸大小。

12. 如申請專利範圍第1項之切割道結構，其中該等晶片包含複數種晶片形狀。

13. 如申請專利範圍第1項之切割道結構，其中該等晶片包含複數種晶片尺寸。



六、申請專利範圍

14. 一種晶圓上之切割道結構，該晶圓上包含有複數個晶片，該切割道結構包含有：

複數條第一切割道設於該等晶片之間的空隙，該等第一切割道內包含有一預定圖案；以及

複數條寬度小於該等第一切割道之第二切割道設於該等晶片之間的空隙。

15. 如申請專利範圍第14項之切割道結構，其中該預定圖案包含一對準標記，用來提供該等晶片上不同元件之間之準。

16. 如申請專利範圍第14項之切割道結構，其中該預定圖案包含一測試窗，用來提供該等晶片進行品質測試。

17. 如申請專利範圍第14項之切割道結構，其中該等第一切割道包含至少一排列軸向。

18. 如申請專利範圍第14項之切割道結構，其中該等第二切割道包含至少一排列軸向。

19. 如申請專利範圍第14項之切割道結構，其中該等晶片具有相同之形狀以及尺寸大小。

20. 如申請專利範圍第14項之切割道結構，其中該等晶片

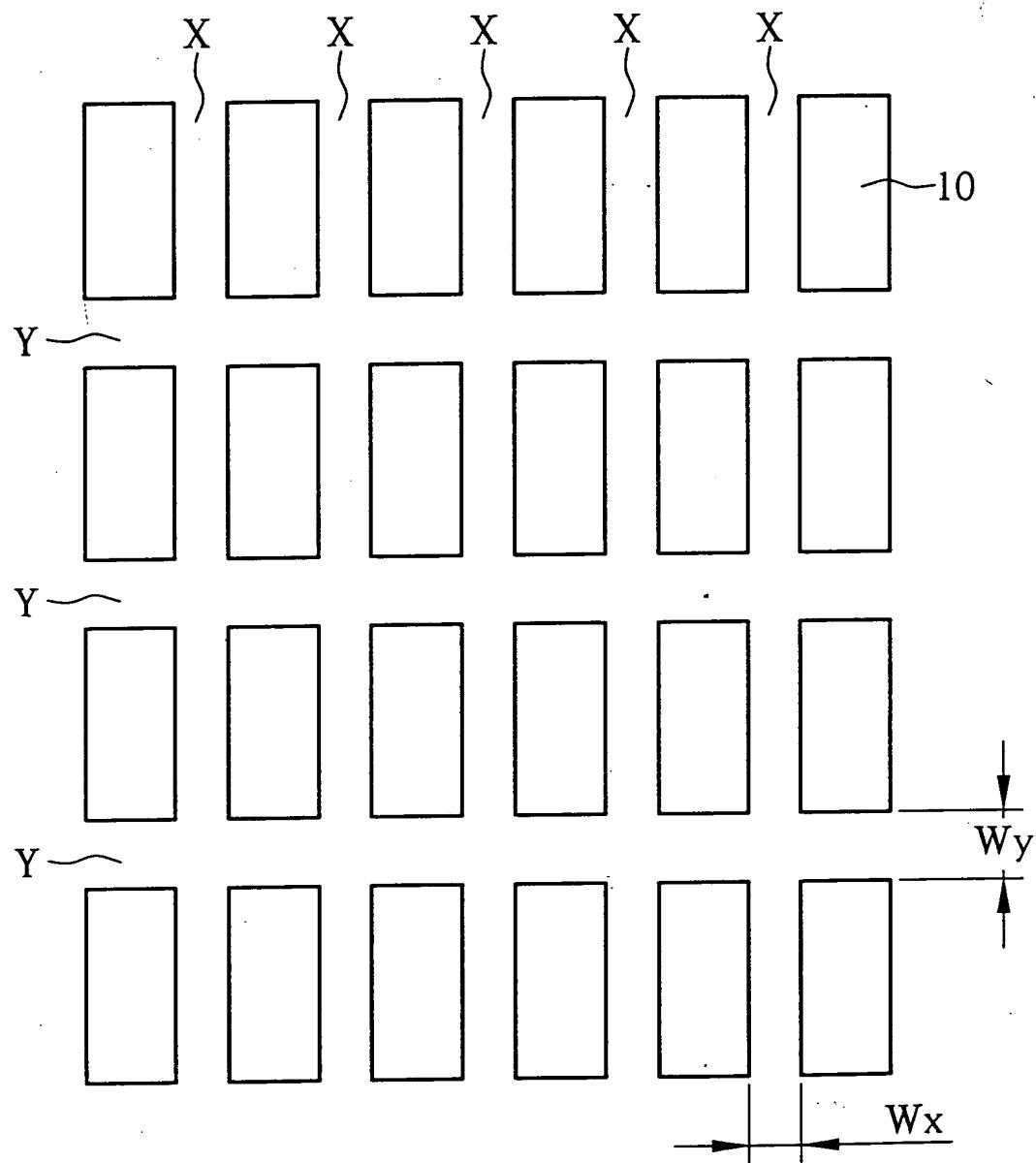


六、申請專利範圍

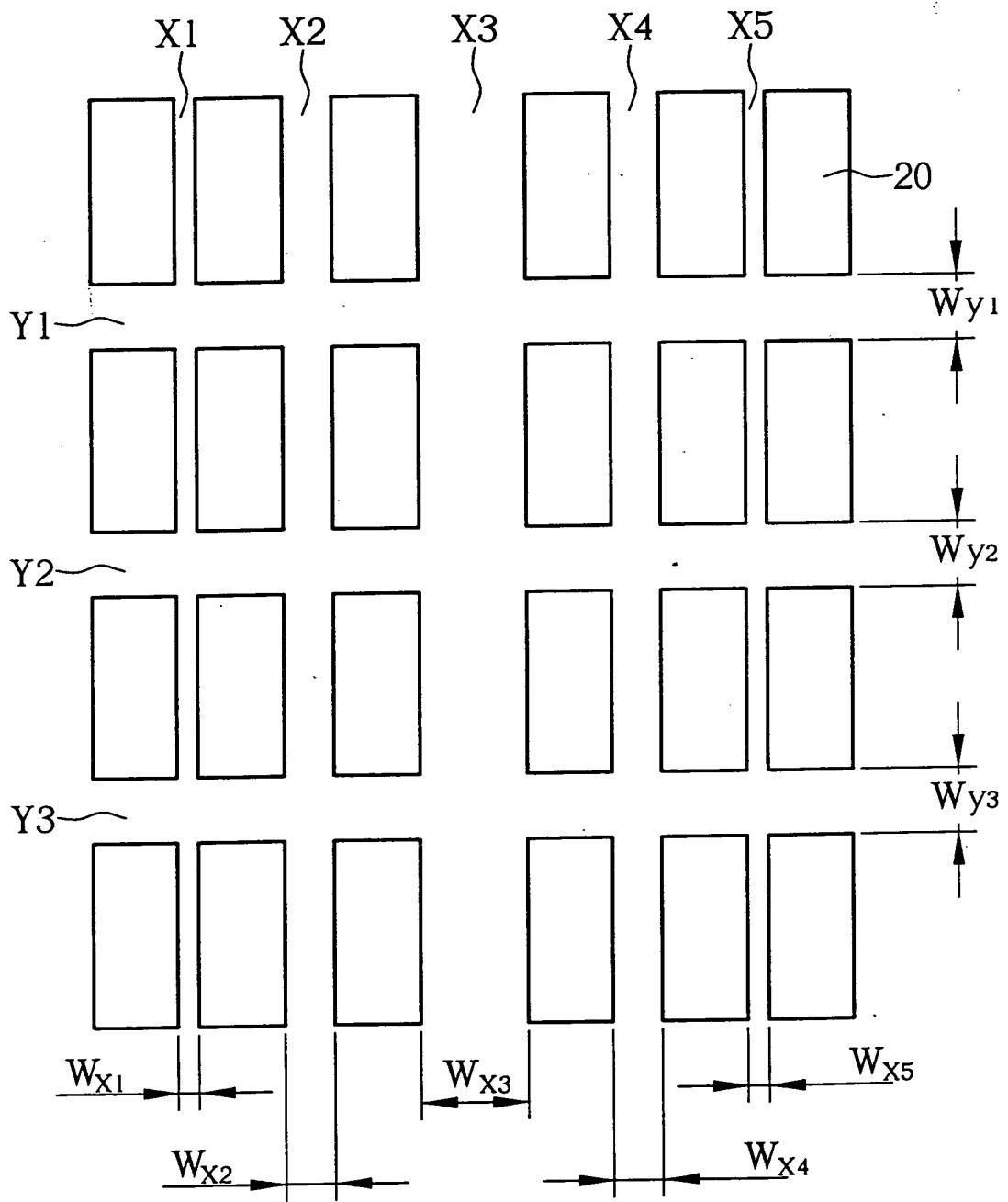
包含複數種晶片形狀。

21. 如申請專利範圍第14項之切割道結構，其中該等晶片
包含複數種晶片尺寸。

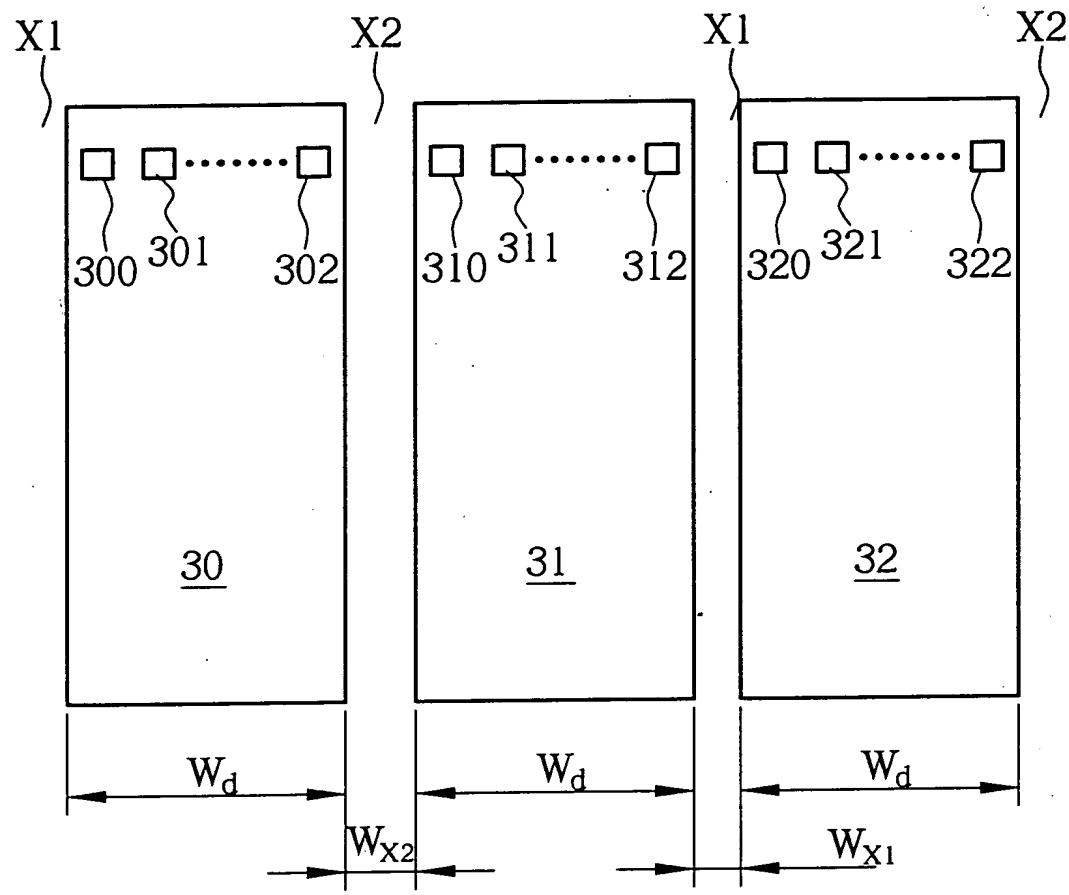




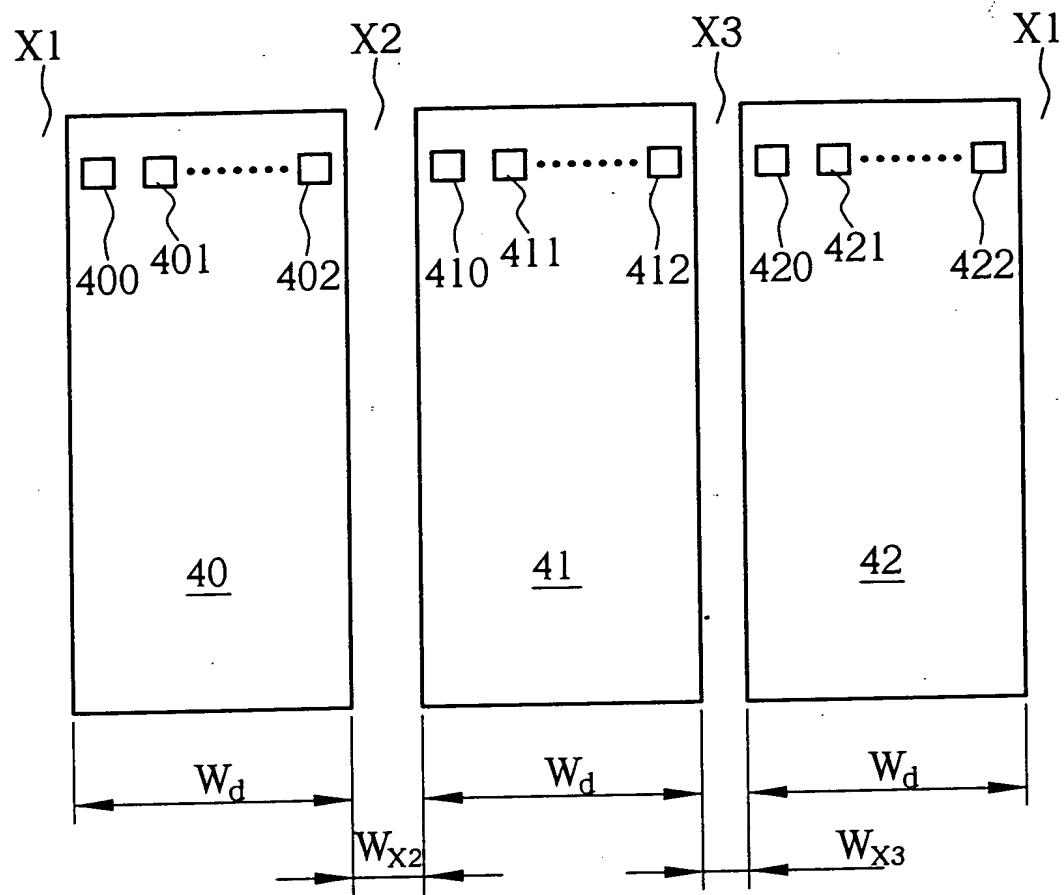
圖一



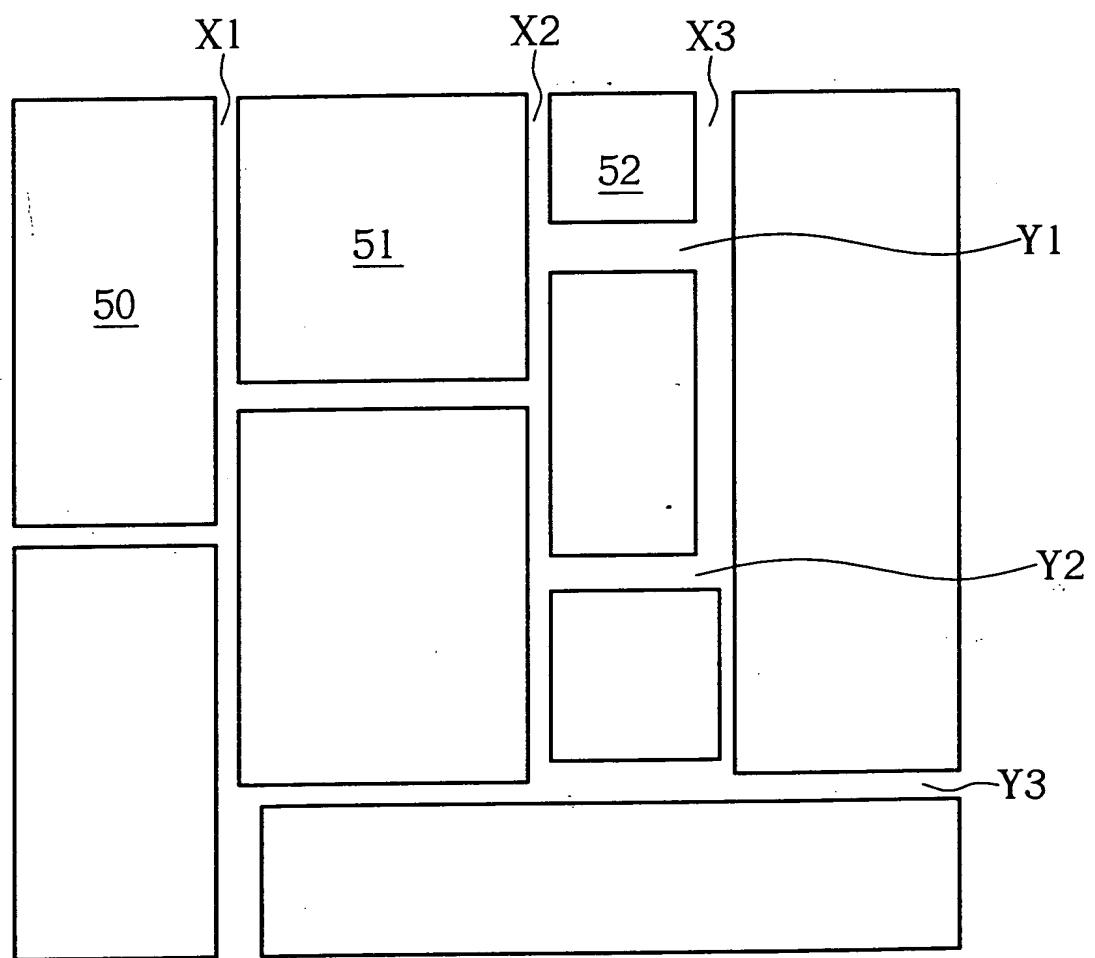
圖二



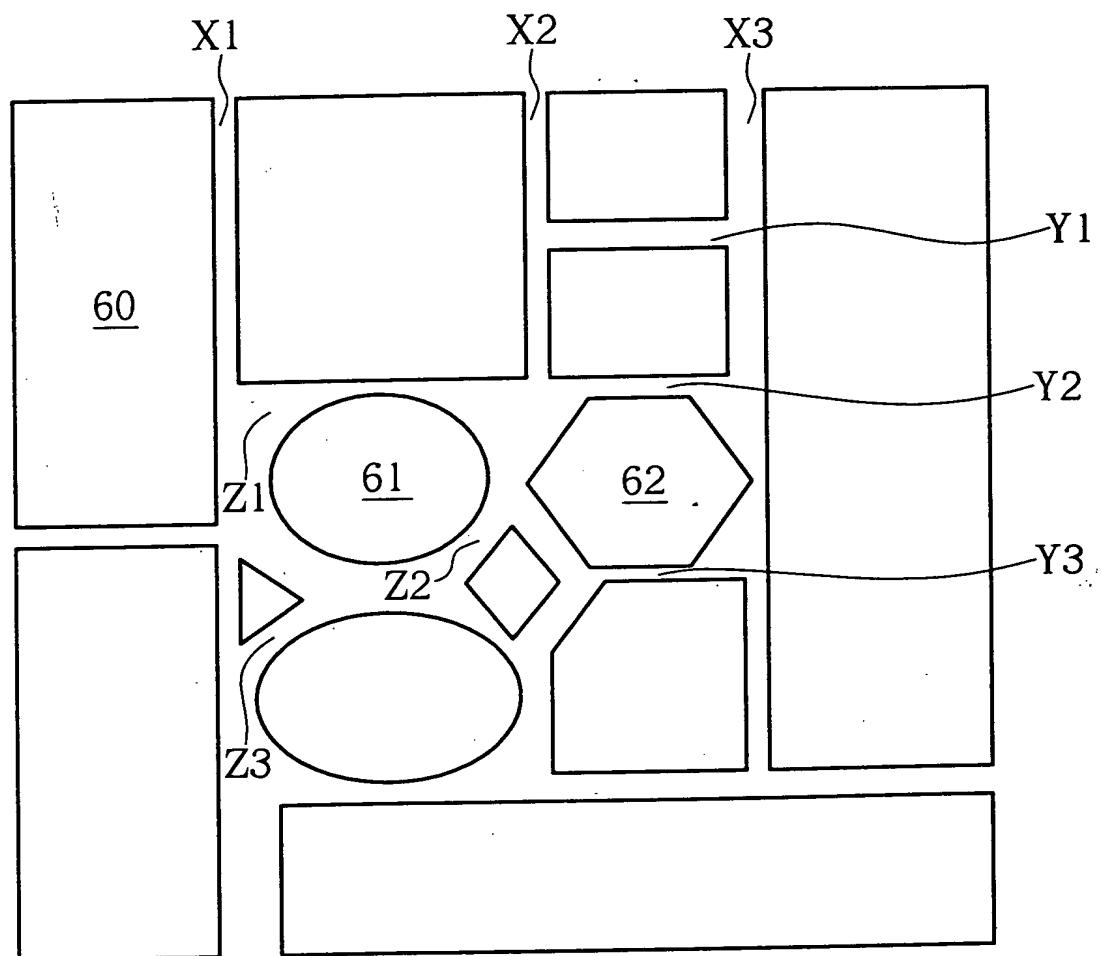
圖三A



圖三B



圖四



圖五

第 1/17 頁



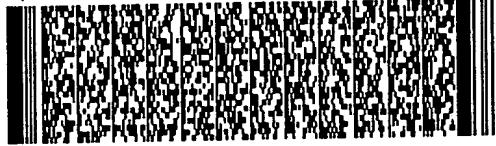
第 2/17 頁



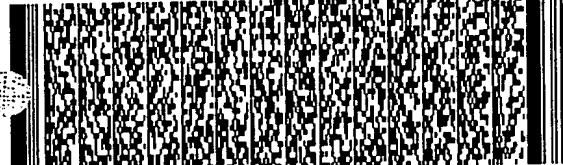
第 2/17 頁



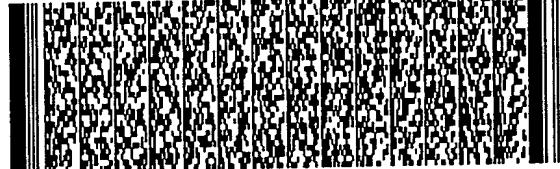
第 3/17 頁



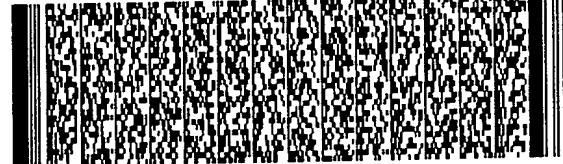
第 5/17 頁



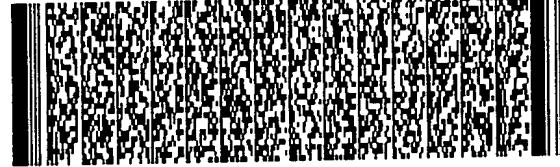
第 5/17 頁



第 6/17 頁



第 6/17 頁



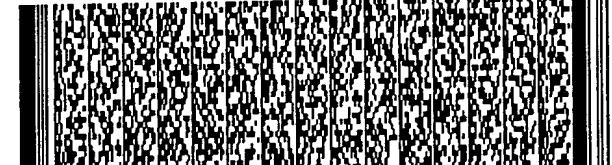
第 7/17 頁



第 7/17 頁



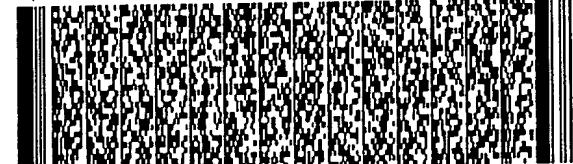
第 8/17 頁



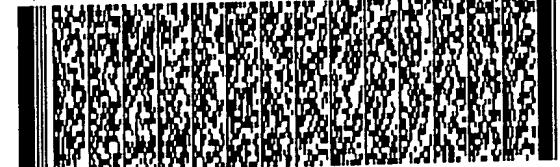
第 8/17 頁



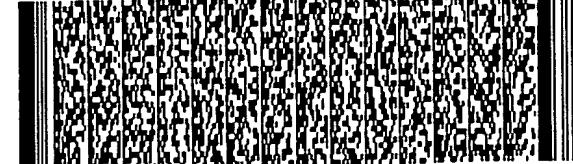
第 9/17 頁



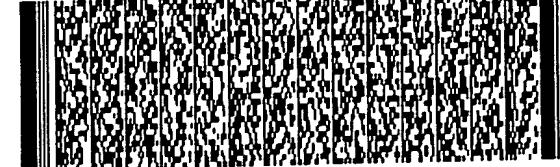
第 9/17 頁



第 10/17 頁

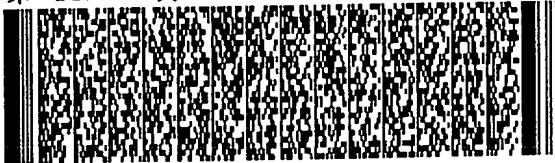


第 10/17 頁

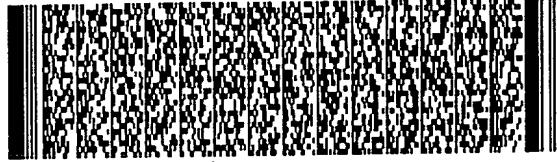


申請案件名稱：一種增加晶圓使用面積之切割道結構

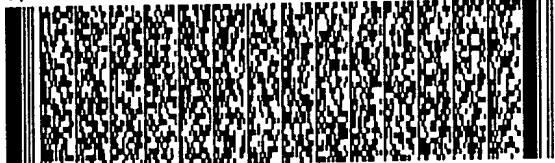
第 11/17 頁



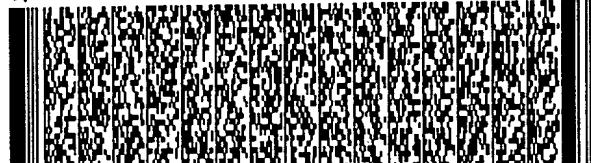
第 11/17 頁



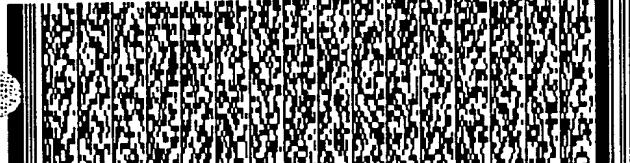
第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

